

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



APPLICATION OF: HUSSEIN BALLAN
SERIAL NO.: 10/648,337

FILED: August 27, 2004

FOR: Class-A Amplifier Circuit Having output Voltage
Varied According To Input Voltage

GROUP ART UNIT: 2817

EXAMINER: Unassigned

ATTY. REFERENCE: BALL3002/EM

COMMISSIONER OF PATENTS

P.O. Box 1450

Alexandria, VA 22313-1450

Sir:

The below identified communication(s) or document(s) is(are) submitted in the above application or proceeding:

☒ Priority Document - Taiwanese Application No. 091119595

☒ Please debit or credit Deposit Account Number 02-0200 for any deficiency or surplus in connection with this communication.

☐ Small Entity Status is claimed.

☐


23364

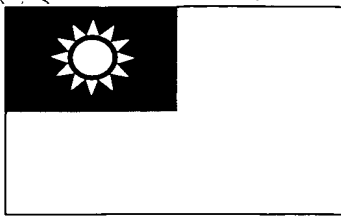
CUSTOMER NUMBER

BACON & THOMAS, PLLC
625 Slaters Lane- Fourth Floor
Alexandria, Virginia 22314
(703) 683-0500

Date: March 24, 2004

Respectfully submitted,


Eugene Mar
Attorney for Applicant
Registration Number: 25,893



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 08 月 28 日
Application Date

申請案號：091119595
Application No.

申請人：高等矽公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 1 月 28 日
Issue Date

發文字號：09220087530
Serial No.

申請日期	91. 8. 28
案 號	91119595
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	輸出電壓可隨輸入電壓快速且準確變化之 A 類放大電路裝置
	英 文	
二、發明 創作人	姓 名	修森 巴楠
	國 籍	瑞士
	住、居所	瑞士伯農奈 1807，茹明巴葉 16 號
三、申請人	姓 名 (名稱)	高等矽公司
	國 籍	瑞士
	住、居所 (事務所)	瑞士勞森尼 1003，喬德榮 20 號
	代 表 人 姓 名	修森 巴楠

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☒無主張優先權

無

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：

輸出電壓可隨輸入電壓快速且準確
變化之A類放大電路裝置

本發明係為一種輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置，其包括一A類放大器、一電壓上拉切換準位電路、一電壓上拉切換電路、一電壓下拉切換準位電路、一電壓下拉切換電路、一電壓上拉電路、一電壓下拉電路、以及一偏壓電路所構成，藉由電壓上拉電路以及電壓下拉電路，可使該A類放大器之輸出電壓快速地隨著輸入電壓而變化，同時藉由電壓上拉切換電路以及電壓下拉切換電路，而可避免過激和過度下跌的現象。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (1)

【本發明之領域】

本發明係有關放大器電路之技術領域，尤指一種輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置。

【本發明之背景】

習知之互補式金氧半導體A類、AB類運算放大器之輸出係如第1圖及第2圖所示，當輸入電壓由低電位($V_{SS}+2V \div 2V$)變為高電位($V_{DD} \div 10V$)或高電位變為低電位時，A類運算放大器之輸出電壓雖沒有過激(overshooting)現象，但A類運算放大器之輸出電壓卻需較長時間以由低電位變成高電位或由高電位變成低電位，此會限制A類運算放大器的工作頻率。

而AB類運算放大器之輸出電壓雖可在較短時間內隨輸入電壓變成低電位或高電位，但其輸出電壓具有過激(overshooting)現象，容易在電路中產生雜訊(Noise)，由是可知，習知之放大器電路實有予以改進之必要。

發明人爰因於此，本於積極發明之精神，亟思一種可以解決上述問題之「輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置」，幾經研究實驗終至完成此項嘉惠世人之發明。

【本發明之概述】

五、發明說明(2)

本發明之目的係在提供一種A類放大電路裝置，其具有電壓上拉及電壓下拉之功能，可使其輸出電壓可快速隨著輸入電壓而變化。

本發明之另一目的係在提供一種A類放大電路裝置，其具有電壓上拉切換及電壓下拉切換之功能，可加速輸出電壓的上升或下降並避免過激(overshooting)現象。

為達前述之目的，本發明係提供一種輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置，其主要包括：一A類放大器；一電壓上拉切換準位電路，其係產生一上拉切換準位；一電壓上拉電路，係用以對該A類放大器之輸出進行電壓上拉；一電壓上拉切換電路，係比較該A類放大器之輸出電壓與該上拉切換準位，以當該A類放大器之輸出電壓低於該上拉切換準位時，驅動該電壓上拉電路來對該A類放大器之輸出進行電壓上拉；一電壓下拉切換準位電路，其係產生一下拉切換準位；一電壓下拉電路，係用以對該A類放大器之輸出進行電壓下拉；以及一電壓下拉切換電路，係比較該A類放大器之輸出電壓與該下拉切換準位，以當該A類放大器之輸出電壓超過該下拉切換準位時，驅動該電壓下拉電路來對該A類放大器10之輸出進行電壓下拉。

由於本發明設計新穎，能提供產業上利用，且確有增進功效，故依法申請專利。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（3）

為使貴審查委員能進一步瞭解本發明之結構、特徵及其目的，茲附以圖式及較佳具體實施例之詳細說明如后：

【圖式簡單說明】

第1及2圖係習知之互補式金氧半導體A、AB類運算放大器之輸出圖。

第3圖係本發明之輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置之一較佳實施例方塊圖。

第4圖係本發明之輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置之詳細電路圖。

第5及6圖係本發明之輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置之工作時序圖。

【圖號說明】

A類放大器	10	電壓上拉切換電路	20
電壓上拉切換準位電路	30	電壓下拉切換電路	40
電壓下拉切換準位電路	50	電壓上拉電路	60
電壓下拉電路	70	偏壓電路	80

【較佳具體實施例之詳細說明】

第3圖顯示本發明之輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置之一較佳實施例，其係由一A類放大器10、一電壓上拉切換準位電路30、一電壓上拉

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明（4）

切換電路20、一電壓下拉切換準位電路50、一電壓下拉切換電路40、一電壓上拉電路60、一電壓下拉電路70、以及一偏壓電路80所構成，其中，該A類放大器10係可由一般之放大電路所構成，以提供放大電訊號之功能，該偏壓電路80則提供電路工作所需之直流偏壓。

前述電壓上拉切換準位電路30係用以產生一上拉切換準位，而該電壓上拉切換電路20則比較該A類放大器10之輸出電壓與該上拉切換準位，以當該A類放大器10之輸出電壓低於該上拉切換準位時，驅動該電壓上拉電路60來對該A類放大器10之輸出進行電壓上拉，否則，關閉該電壓上拉電路60。該電壓下拉切換準位電路50則係用以產生一下拉切換準位，該電壓下拉切換電路40則比較該A類放大器10之輸出電壓與該下拉切換準位，以當該A類放大器10之輸出電壓超過該下拉切換準位時，驅動該電壓下拉電路70來對該A類放大器10之輸出進行電壓下拉，否則，關閉該電壓下拉電路70。

第4圖顯示本發明之可電壓上拉及電壓下拉之A類放大電路裝置之詳細電路圖，其中，該A類放大器10係由MOS電晶體所構成；該電壓上拉切換電路20係由PMOS電晶體M5、M64、M19、M6以及NMOS電晶體M7、M8所構成，該電晶體M5、M64、M19、以及M6之源極連接至VLCD，電晶體M5之閘極、汲極以及電晶體M64之閘極連接至節點C，電晶體M64之汲極、電晶體M19之閘極、汲極以及電晶體M6之閘極連接至節點B，該節點B並

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (5)

連接至電晶體M13及M6之閘極，以控制電晶體M13及M6之導通與否。此外，NMOS電晶體M7及M8之源極連接至VSS，而電晶體M6之汲極連接至電晶體M7之閘極、汲極與M8之閘極，以控制電晶體M8之導通與否。

電壓上拉切換準位電路30係產生一上拉切換準位X，以作為當該A類放大器之輸出電壓上拉時之上拉切換準位，其係為由兩NMOS電晶體M1、M2所形成之差動輸入端所達成，電晶體M1之汲極連接至節點C，其源極連接至電晶體M36及M8之汲極，其閘極連接至輸出節點OUT，電晶體M2之汲極連接至節點B，其源極連接至電晶體M36及M8之汲極，其閘極連接至輸入節點IN+。

該電壓下拉切換電路40係由PMOS電晶體M26、M27、M62、M28以及NMOS電晶體M31、M30所構成，該電晶體M26、M27、M62、以及M28之源極連接至VLCD，電晶體M28之閘極、汲極以及電晶體M62之閘極連接至節點F，電晶體M62之汲極、電晶體M27之閘極、汲極以及電晶體M26之閘極連接至節點D，該電晶體M26之汲極並連接至電晶體M31之閘極與汲極、與M30、M32之閘極，以控制電晶體M30、M32之導通與否。

而該電壓下拉切換準位電路50係產生一下拉切換準位Y，以作為當該A類放大器之輸出電壓下拉時之下拉準位，其係由兩NMOS電晶體M25、M29所形成之差動輸入端所達成，電晶體M25之汲極連接至節點D，其源極連接至電晶體M30及M34之汲極，其閘極連接至輸出節點

五、發明說明(6)

OUT，電晶體M29之汲極連接至節點F，其源極連接至電晶體M30及M34之汲極，其閘極連接至輸入節點IN+。

該電壓上拉電路60係由一PMOS電晶體M13所構成，其汲極連接輸出節點OUT，其源極連接VLCD，當節點B之電壓因上拉切換電路開啓而降至低於VLCD減去一PMOS臨界電壓後，該電晶體M13導通，故輸出點電壓迅速往上拉。

該電壓下拉電路70係由一NMOS電晶體M32所構成，其汲極連接輸出節點OUT，其源極連接VSS，當下拉切換電路開啓時，節點D的電壓往下降至低於VLCD減去一PMOS臨界電壓後，電晶體M26、M31導通，從而使得電晶體M32導通，故輸出點電壓迅速往下拉。

該偏壓電路80係由一NMOS電晶體M49所構成，其閘極及汲極分連接至一電流源IQ6以形成一偏壓電路，故NMOS電晶體M36、M58、M56、M57、以及M34恆為導通狀態以產生對應電路所需的偏壓電流。

第5圖及第6圖顯示有關本發明之可電壓上拉及電壓下拉之A類放大器5之工作時序圖，本A類放大器可工作的輸入電壓範圍在VSS+1.2V到VLCD，在此範圍內，如第5圖所示，在A類放大器10之輸入電壓由低電位V_A上升為高電位V_B時，當輸出電壓小於V_B-X時(T1時段)，由電壓上拉電路60之上拉作用來加速A類放大器10之輸出電壓由低電位變為高電位，當輸出電壓大於V_B-X時(T2時段)，則關閉電壓上拉電路60，以避免產生過激(overshooting)

五、發明說明 (7)

現象。而當A類放大器10之輸入電壓由高電位 V_C 下降為低電位 V_D 時，若輸出電壓高於 V_D+Y 時(T3時段)，由電壓下拉電路70之下拉作用以加速A類放大器之輸出電壓由高電位變為低電位，當輸出電壓低於 V_D+Y 時(T4時段)，則關閉電壓下拉電路70，以避免負向的過激(overshooting)現象發生。。

在上述T1時段，A類放大器10之輸入電壓由低電位變為高電位且輸出電壓 V_{OUT} 小於 V_B-X ，電晶體M1、M5以及M64為關閉狀態，而M2以及M19為導通狀態，因此節點B之電壓被拉低，使得M13為導通狀態，故可加速A類放大器之輸出電壓由低電位變為高電位。在此同時，電壓上拉切換電路20的電晶體M6、M7同時會導通，使得M8也會暫時導通而提供額外的偏壓電流給電壓上拉切換準位電路30及電壓上拉切換電路20以加速這兩個電路的切換速度與提升電壓上拉電路60的上拉速度。

在上述T2時段，輸出電壓 V_{OUT} 大於 V_B-X ，電晶體M1、M5以及M64由關閉狀態轉變為導通狀態，M2、M6、M7以及M19轉為關閉狀態，節點B之電壓被拉高至VLCD，使得M13轉為關閉狀態，而終止電壓的快速上拉作用。在此同時，電晶體M8也被關閉，以降低電壓上拉切換準位電路30及電壓上拉切換電路20的偏壓電流。

在上述T3時段，A類放大器10之輸入電壓由高電位變為為低電位且輸出電壓 V_{OUT} 高於 V_D+Y ，電晶體M29、M28以及M62為關閉狀態，而M25以及M27為導

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(8)

通狀態，因此節點D之電壓被拉低，使得M26、M31以及M32為導通狀態，故可加速A類放大器之輸出電壓由高電位被拉為低電位。在此同時，電壓下拉切換電路40的電晶體M30同時會暫時導通而提供額外的偏壓電流給電壓下拉切換準位電路50及電壓下拉切換電路40以加速這兩個電路的切換速度與提升電壓下拉電路70的下拉速度。

在上述T4時段，輸出電壓 V_{OUT} 低於 V_D+Y ，電晶體M29、M28以及M62由關閉狀態轉變為導通狀態，M25以及M27轉為關閉狀態，節點D之電壓被拉高至VLCD，使得M26、M31以及M32轉為關閉狀態，而終止電壓的快速下拉作用。在此同時，電晶體M30也被關閉，以降低電壓下拉切換準位電路50及電壓下拉切換電路40的偏壓電流。

於上述電路中，因差動輸入電流 $i_{M1}=i_{M2}$ ，電晶體M1由關閉狀態變為導通狀態，其中 i_{M1} 即為電晶體M1之 i_{DS} 電流， i_{M2} 即為電晶體M2之 i_{DS} 電流，故：

$$i_{M1} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (v_{GS} - V_T)^2 = \frac{\mu_n C_{ox}}{2} \frac{W_1}{L_1} (V_1 - V_T)^2 =$$

$$i_{M2} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (v_{GS} - V_T)^2 = \frac{\mu_n C_{ox}}{2} \frac{W_2}{L_2} (VDD - V_T)^2$$

因電晶體之製程係相同，所以電晶體M1及M2之 $\mu_n C_{ox}$ 亦相同，故只要調整電晶體M1通道寬度 W_1 及長度 L_1 比以及電晶體M2通道寬度 W_2 及長度 L_2 比，即可設定上拉切換準位X，同理，故只要調整電晶體M25通道寬度 W_{25} 及長度 L_{25}

五、發明說明(9)

比以及電晶體M29通道寬度 W_{29} 及長度 L_{29} 比，即可設定下拉切換準位Y。

由以上之說明可知，本發明係藉電壓上拉電路60以及電壓下拉電路70，可使該A類放大器之輸出電壓可快速隨著輸入電壓而變化，同時藉由電壓上拉切換電路20以及電壓下拉切換電路40，而可避免過激(overshooting)。

綜上所陳，本發明無論就目的、手段及功效，在在均顯示其迥異於習知技術之特徵，為A類放大器製作上之一大突破。惟應注意的是，上述實施例係為了便於說明而已，本發明所主張之權利範圍非僅限於上述實施例，而凡與本發明有關之技術構想，均屬於本發明之範疇。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種輸出電壓可隨輸入電壓快速且準確變化之A類放大電路裝置，主要包括：

一 A類放大器；

一 電壓上拉切換準位電路，其係產生一上拉切換準位；

一 電壓上拉電路，係用以對該A類放大器之輸出進行電壓上拉；

一 電壓上拉切換電路，係比較該A類放大器之輸出電壓與該上拉切換準位，以當該A類放大器之輸出電壓低於該上拉切換準位時，驅動該電壓上拉電路來對該A類放大器之輸出進行電壓上拉；

一 電壓下拉切換準位電路，其係產生一下拉切換準位；

一 電壓下拉電路，係用以對該A類放大器之輸出進行電壓下拉；以及

一 電壓下拉切換電路，係比較該A類放大器之輸出電壓與該下拉切換準位，以當該A類放大器之輸出電壓超過該下拉切換準位時，驅動該電壓下拉電路來對該A類放大器之輸出進行電壓下拉。

2. 如申請專利範圍第1項所述之A類放大電路裝置，其中，該電壓上拉切換準位電路係由兩NMOS電晶體所形成之差動輸入端來提供該上拉切換準位。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

3. 如申請專利範圍第1項所述之A類放大電路裝置，其中，該電壓下拉切換準位電路係由兩NMOS電晶體所形成之差動輸入端以提供該下拉切換準位。

4. 如申請專利範圍第1項所述之A類放大電路裝置，其中，當該A類放大器之輸出電壓大於該上拉切換準位時，該電壓上拉切換電路係將該電壓上拉電路關閉。

5. 如申請專利範圍第1項所述之A類放大電路裝置，其中，當該A類放大器之輸出電壓小於該下拉切換準位時，該電壓下拉切換電路係將該電壓下拉電路關閉。

6. 如申請專利範圍第1項所述之A類放大電路裝置，其中，該電壓上拉電路係由一PMOS電晶體所構成，以當該電壓上拉電路被驅動時，該電晶體係被導通，而將該A類放大器之輸出電壓上拉。

7. 如申請專利範圍第1項所述之A類放大電路裝置，其中，電壓下拉電路係由一NMOS電晶體所構成，以當該電壓下拉電路被驅動時，該電晶體係被導通，而將該A類放大器之輸出電壓下拉。

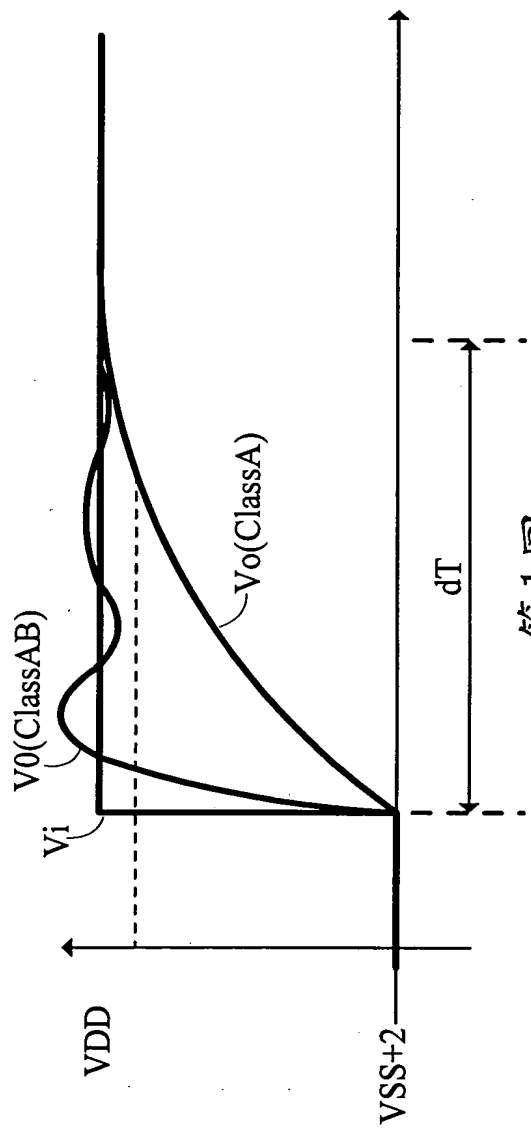
8. 如申請專利範圍第1項所述之A類放大電路裝置，其更包含一偏壓電路以提供電路工作所需之直流偏壓。

(請先閱讀背面之注意事項再填寫本頁各欄)

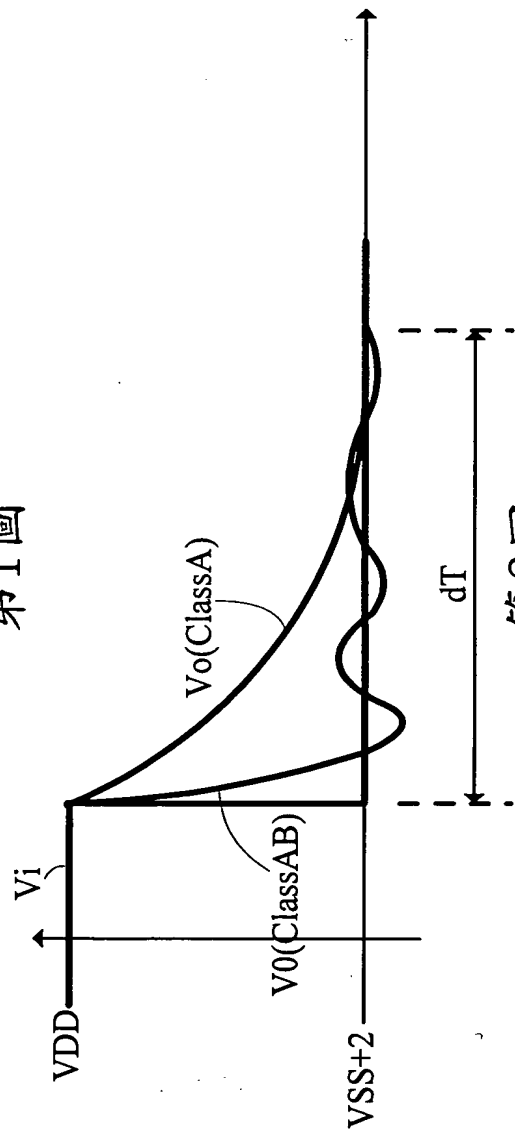
裝

訂

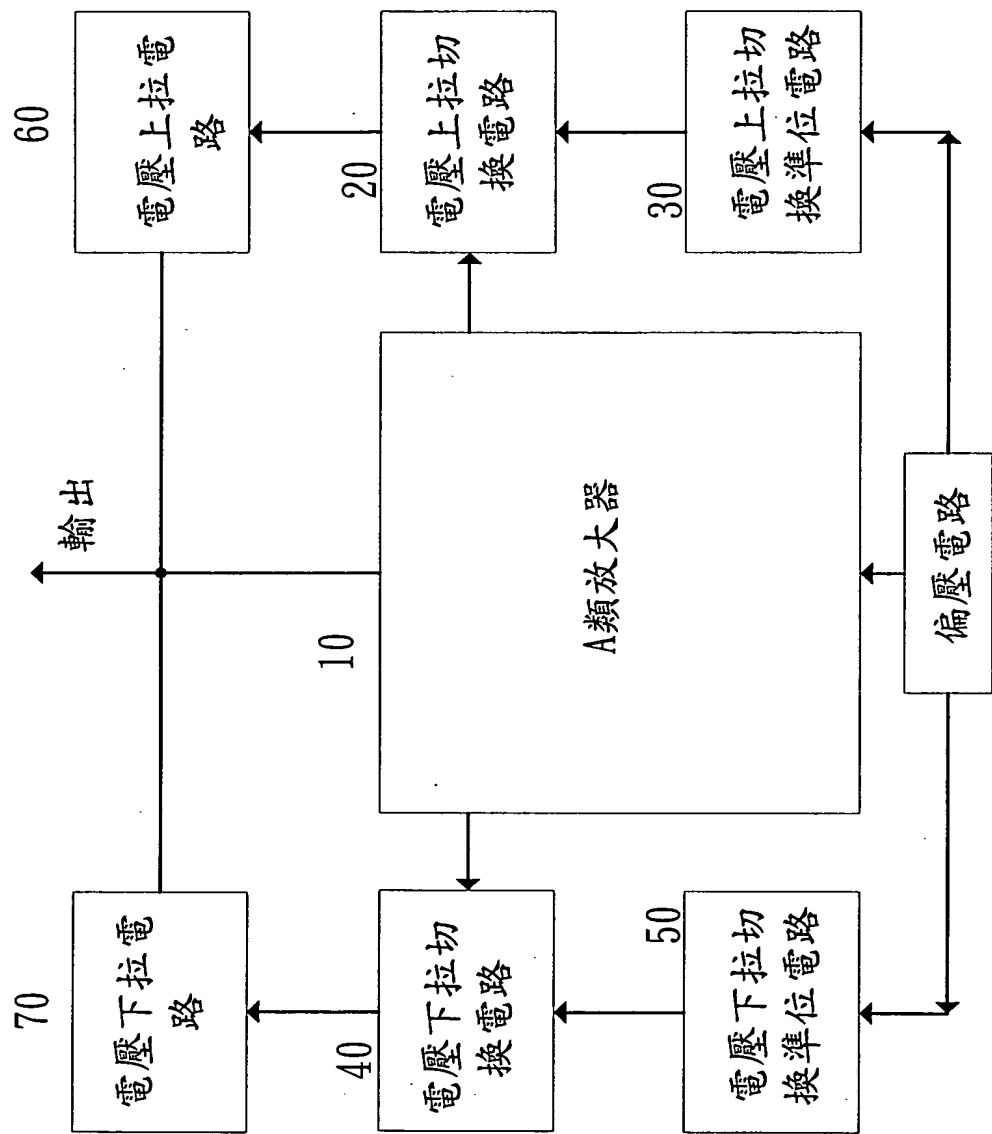
線



第1圖



第2圖



第3圖

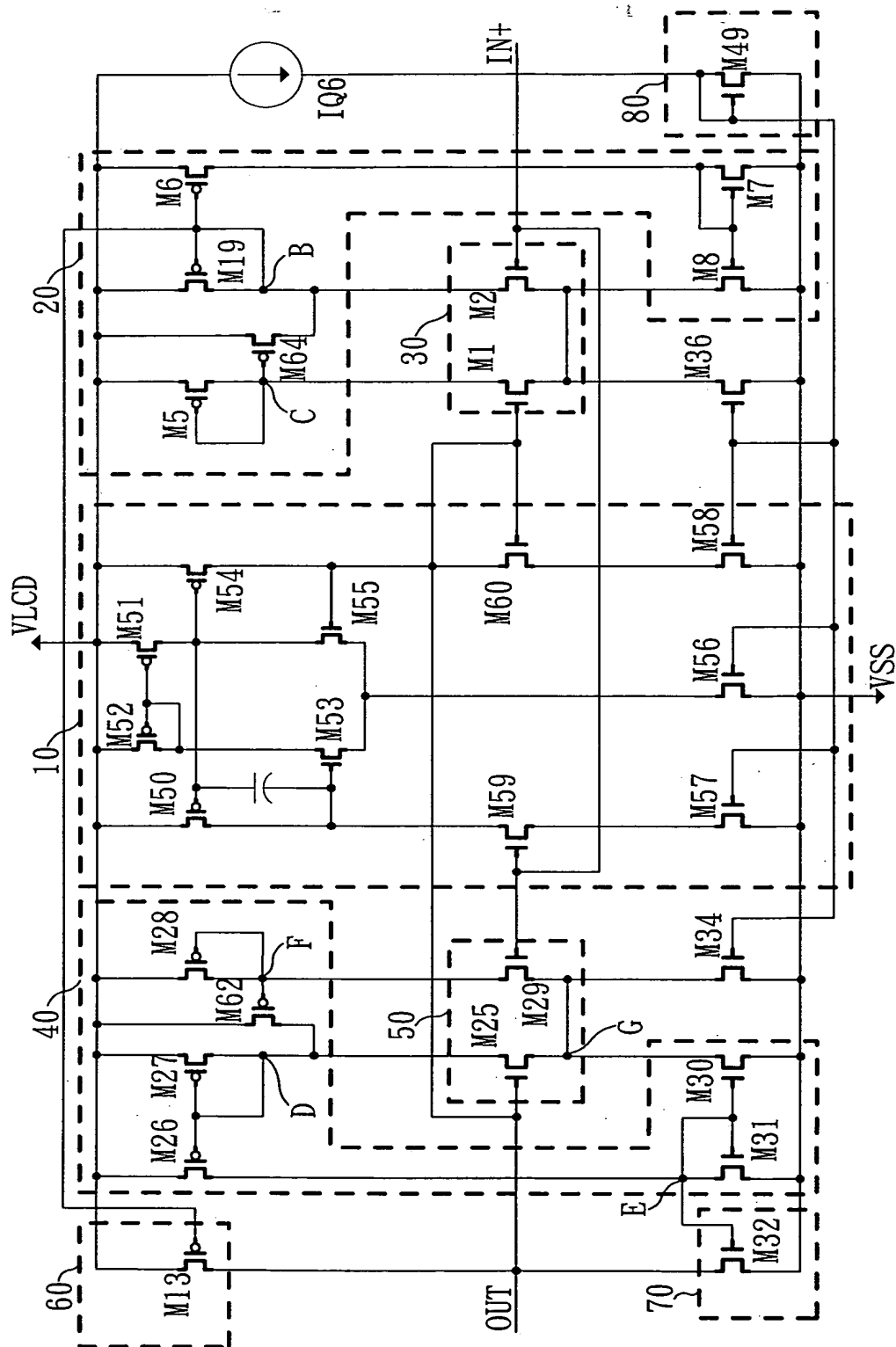
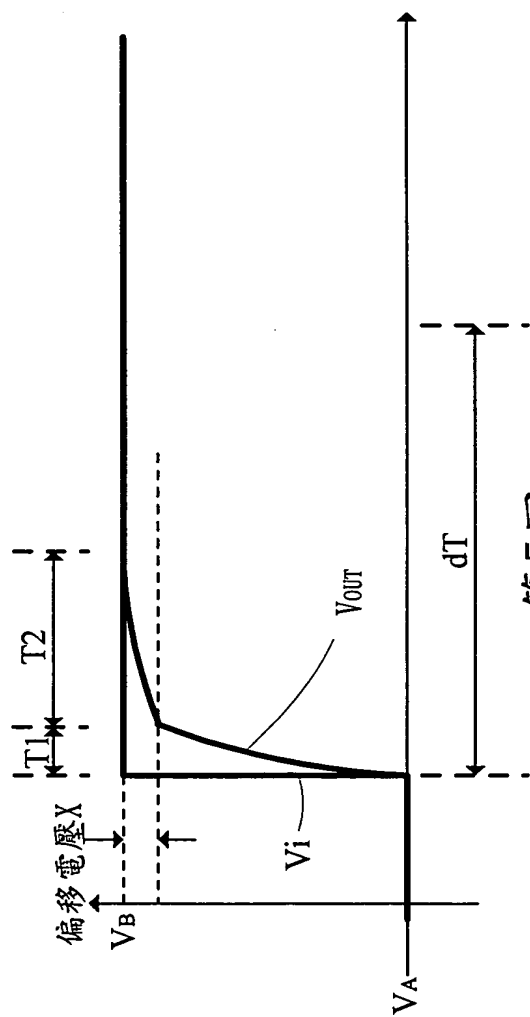
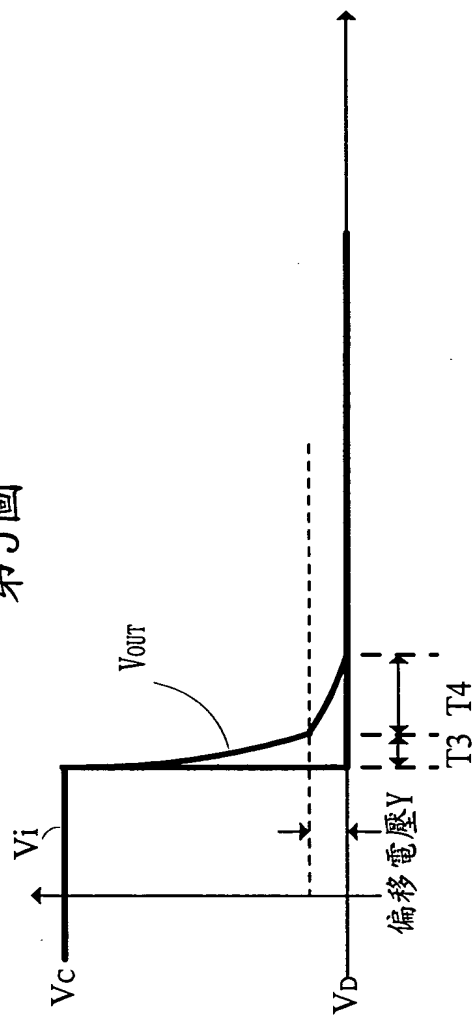


圖 4 第



第5圖



第6圖